

本 国 特 許
JAPAN PATENT OFFICE140703
記入

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年 6月21日

REC'D 01 AUG 2003

WIPO PCT

出願番号
Application Number:

特願2002-181965

[ST.10/C]:

[JP2002-181965]

出願人
Applicant(s):

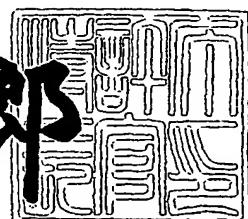
東京エレクトロン株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 6月30日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



BEST AVAILABLE COPY

出証番号 出証特2003-3051596

【書類名】 特許願
【整理番号】 JPP020057
【提出日】 平成14年 6月21日
【あて先】 特許庁長官 及川 耕造 殿
【国際特許分類】 B81B 7/00
H01L 27/10
【発明の名称】 MEMSアレイとその製造方法及びそれに基づくMEMSデバイスの製造方法
【請求項の数】 17
【発明者】
【住所又は居所】 東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社内
【氏名】 湯浅 光博
【特許出願人】
【識別番号】 000219967
【氏名又は名称】 東京エレクトロン株式会社
【代理人】
【識別番号】 100077517
【弁理士】
【氏名又は名称】 石田 敬
【電話番号】 03-5470-1900
【選任した代理人】
【識別番号】 100092624
【弁理士】
【氏名又は名称】 鶴田 準一
【選任した代理人】
【識別番号】 100119987
【弁理士】
【氏名又は名称】 伊坪 公一

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 MEMSアレイとその製造方法及びそれに基づくMEMSデバイスの製造方法

【特許請求の範囲】

【請求項1】 複数の素子及び前記各素子を接続するスイッチを備え、各素子を任意に配線可能としたことを特徴とするMEMSアレイ。

【請求項2】 前記各素子を接続するスイッチは半導体スイッチである請求項1に記載のMEMSアレイ。

【請求項3】 前記各素子を接続するスイッチは機械的スイッチである請求項1に記載のMEMSアレイ。

【請求項4】 基板と配線層を備え、前記基板には前記スイッチが形成され、前記配線層には前記スイッチを介して接続される複数の素子が設けられる請求項1又は2に記載のMEMSアレイ。

【請求項5】 基板と配線層を備え、前記配線層には複数の素子及び前記各素子を接続するスイッチが設けられる請求項1又は3に記載のMEMSアレイ。

【請求項6】 基板と配線層を備え、前記配線層には複数の素子が設けられ、前記各素子を接続するスイッチは配線層の上に設けられる請求項1又は3に記載のMEMSアレイ。

【請求項7】 前記基板には前記スイッチを駆動する駆動部が設けられる請求項4又は5に記載のMEMSアレイ。

【請求項8】 前記基板にはさらに信号処理用の半導体回路が設けられた請求項4～7のいずれか1項に記載のMEMSアレイ。

【請求項9】 前記半導体回路は3次元構造を有する請求項7に記載のMEMSアレイ。

【請求項10】 同一パッケージに半導体回路を組み込んでパッケージされた請求項1～8に記載のMEMSアレイ。

【請求項11】 基板上に配線層を備えるMEMSアレイの製造方法であつて、

前記基板内に複数のスイッチを形成するステップと、

前記配線層に前記複数のスイッチを介して接続される複数の素子を形成するステップを有することを特徴とするMEMSアレイの製造方法。

【請求項12】 基板上に配線層を備えるMEMSアレイの製造方法であって、

前記配線層に複数の素子を形成するステップと、

前記配線層の上に前記複数の素子を互いに接続する複数のスイッチを設けるステップを有することを特徴とするMEMSアレイの製造方法。

【請求項13】 基板上に配線層を備えるMEMSアレイの製造方法であって、

前記基板にスイッチ駆動部を形成するステップと、

前記配線層に複数の素子を形成するステップと、

前記配線層の上に前記複数の素子を互いに接続する複数のスイッチを設けるステップを有することを特徴とするMEMSアレイの製造方法。

【請求項14】 複数の素子及び前記各素子を接続するスイッチを備えるMEMSアレイと同一配置の複数の素子を有するMEMSデバイスを製造する製造方法であって、

前記MEMSアレイの各スイッチの接続状態を決定するステップと、

前記各スイッチの接続状態に応じて配線する配線層を形成するステップを備えることを特徴とするMEMSデバイスの製造方法。

【請求項15】 複数の素子及び前記各素子を接続するスイッチを備えるMEMSアレイと同一配置の複数の素子を基板上に有するMEMSデバイスを製造する製造方法であって、

前記MEMSアレイの各スイッチの接続状態を決定するステップと、

前記MEMSデバイスの基板上に前記スイッチの接続状態に応じて配線する配線層を形成するステップ

前記配線層の上にMEMSアレイと同一配置の複数の素子を形成するステップを有することを特徴とするMEMSデバイスの製造方法。

【請求項16】 複数の素子及び前記各素子を接続するスイッチを備えるMEMSアレイと同一配置の複数の素子を基板上に有するMEMSデバイスを製造

する製造方法であって、

前記MEMSアレイの各スイッチの接続状態を決定するステップと、

MEMSデバイスの基板内にスイッチを設けるステップと、

MEMSデバイスの基板上に前記スイッチの接続状態に対応して、前記スイッチを短絡、遮断ないし配線する追加の配線層を設けるステップと、

前記追加の配線層の上に前記MEMSアレイと同一配置の複数の素子を配置する配線層を設けるステップ

を備えることを特徴とするMEMSデバイスの製造方法。

【請求項17】 複数の素子及び前記各素子を接続するスイッチを備えるMEMSアレイと同一配置の複数の素子を基板上に有するMEMSデバイスを製造する製造方法であって、

前記MEMSアレイの各スイッチの接続状態を決定するステップと、

前記MEMSアレイと同一配置の複数の素子を設ける配線層を形成するステップと、

各スイッチの接続状態に基づいて、前記配線層の上にスイッチないし配線を選択形成するステップを備えることを

特徴とするMEMSデバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MEMS (Micro Electro-Mechanical System) を利用する技術に
関し、特に複数の回路素子とスイッチを備えるマイクロマシンないしMEMSア
レイに関する。

【0002】

【従来の技術】

MEMSは、電子回路だけではなくセンサやアクチュエータのような異なる要
素をSi等の基板上に集積化し高度な機能をもたせるもので、大きな発展が期待
されている。従来、MEMSデバイスを製造する技術としては、(1)MEMS
の技術を利用して作られたセンサなどの個別素子を基板上に実装して製造するこ

と、また(2)専用のMEMS回路として個別に製造すること等が知られている

【0003】

【発明が解決しようとする課題】

しかしながら、上記(1)の場合は、個別素子の製造にMEMSを利用してはいても、実装する際の制約から大幅な小型化が困難であり、素子性能の限界と実装面積の削減に限界があり、また、配線遅延の問題もある。また、上記(2)の場合は、専用品であることから、(1)と比較して開発時間の増大や開発費の増加が避けられない。

【0004】

本発明は、これらの問題点に鑑み、小型化が可能であるとともに、開発時間や開発費を削減できるプログラマブルなMEMSアレイを提供すること及びこれを用いてMEMSデバイスを製造する方法を提供することを目的とする。

【0005】

【課題を解決するための手段】

本発明は、上記の課題を解決するために、複数の素子及び各素子を接続するスイッチを基板上に配置して各素子を任意に配線可能としたMEMSアレイを提供するものである。

【0006】

また、本発明のMEMSアレイは、少なくともその1層に複数の素子を設け、他の層にスイッチを設けて製造される。本発明のMEMSアレイのスイッチはトランジスタで構成しても、機械的スイッチで構成してもよい。

本発明によれば、スイッチのオンオフを選択するだけで所望の回路を構成することができ、多様なニーズに応えることができる。

【0007】

また、本発明によれば、MEMSアレイに基づいてMEMSデバイスを製造することができる。すなわち、MEMSアレイの各スイッチの接続状態を決定して所望の回路を構成し、その後、スイッチの接続状態に応じて配線を行うステップを採用してMEMSデバイスを製造する。

このようにすれば、スイッチの接続状態を維持するための電力を削減することができるMEMSデバイスを量産することができる。

【0008】

【発明の実施の形態】

(第1の実施形態)

図1～6を参照して、本発明の第1の実施形態における任意結線可能なプログラマブルなMEMSアレイについて説明する。

【0009】

図1は、本例の任意に結線可能なMEMSアレイの部分断面図であり、図2に、本発明のMEMSアレイの全体の概略図を示す。図3は、図1に断面が示された本例の等価回路を示す図である。

【0010】

図2のMEMSアレイの全体概略図に見られるように、本発明の任意に結線可能なMEMSアレイは、半導体ウェハプロセスを利用して、たとえば 10 mm^2 のSiチップ上に約30万個の任意結線可能な回路要素を集積したもので、図3に示すように、本例では、 $10\text{ }\mu\text{m}$ 平方の領域Tに、3個のLCR回路が配置されて1回路が形成されている。

【0011】

図1に示す断面図は、図3に示す等価回路の太線で示したLCR回路の断面である。

図1に示されるように、本例のMEMSアレイは、基板Sにトランジスタ41～44のソースドレイン領域が形成され、その上に配線層M0～M4が形成され、その上にパッシバーション層Pが設けられるものである。そして、LCR回路は、配線層M0～M1に形成された抵抗10、コンデンサ20、コイル30及びそのピア配線が、基板Sに形成された4個のトランジスタ(FET)からなるスイッチ41～44で直列に結線可能に構成されている。

【0012】

なお、図1においては、スイッチ41等を構成するトランジスタを駆動するための配線は省略されている。

【0013】

本例では、LCR各々3個が隣接する素子同士でスイッチ41～44を含む多数のスイッチにより結線可能であり、最下部には、各素子をバイパスできるよう各素子に並列に配置されるスイッチ45が設けられ、各素子の任意の組合せが可能となっている。

【0014】

すなわち、本例のLCR回路から構成されるMEMSアレイは、複数の抵抗、コンデンサ及びコイルを平面的（2次元）に規則的に並べ、各素子間はスイッチを介して任意に結線可能なものである。

【0015】

図4には、図1のA-A線で切った基板Sの上面図を示し、図5には、B-B線で切った配線層M1の上面図を示し、図6には、C-C線で切った配線層M3の上面図を示す。

図4に、基板Sに設けられるスイッチを構成するトランジスタのソースードレインの配置の概略を示す。スイッチ41～44に対応するソースードレインの配置を同一の番号で示してある。

【0016】

配線層M0は、トランジスタのゲート電極が形成され、またソースードレインへの配線の一部が形成された配線層である。配線（ピア）は、スイッチ41に対する抵抗10への配線12とコンデンサ20の上部電極21への配線23、スイッチ42に対するコンデンサ20の下部電極22への配線24とコイル30に対する配線31、32及びスイッチ43、44に対する配線51及び52が形成されている。

【0017】

配線層M1は、図5に示され、抵抗10の一方の配線部12、コンデンサ20の上部電極21への配線23及び下部電極22への配線24、コイル30の配線31及び32、スイッチ43、44の配線51及び52が配置されている。配線12、23、24、31、32は並列接続するためのスイッチにつながる配線も兼ねる。

【0018】

配線層M2は、他の配線層と同様に各素子とスイッチとの配線の一部が形成された配線層である。配線としては、配線層M0と同様であるので、説明は省略する。

配線層M3は、図6に示され、抵抗10の配線部11及び12、コンデンサ20の上部電極への配線23、コンデンサ20の下部電極22、コイル30及びスイッチ43、44への配線部51、52が配置されている。配線11、51は並列接続の配線を兼ねる。下端の配線（番号なし）は迂回用の配線である。

【0019】

配線層M4には、抵抗10が設けられ、コンデンサ20の上部電極21が設けられ、最上部にはパッシベーション層Pが設けられる。

なお、この層の構成は説明のための単なる一例であって、層の数等層構成が限定されるものではなく、素子の種類もL C Rに限定されない。素子は、高周波フィルタ回路等所望の電気電子回路の構成要素となり得る回路であればよく、その形状配置等適宜適切なものが選択可能である。

【0020】

本例のMEMSアレイの製造方法は、Siのウエハプロセスと同様であり、トランジスタスイッチを形成する基板1上に配線層を複数形成するものである。例えば受動素子の形成も導電層の材料により適宜の形状とすることができるなど、適宜公知のウエハプロセスを用いて製造することができる。

【0021】

このように、本例のMEMSアレイは、複数の回路素子がスイッチを介して適宜結線可能に配置されているから、設計者の設計に応じて各スイッチのオンオフを決定するだけで、自由に所望の回路を組むことができる。

【0022】

次に、本発明のMEMSアレイを用いて回路を組み、その後MEMSデバイスとして量産する場合などに用いられるMEMSデバイスの製造方法について説明する。

【0023】

図1に示したLCR回路を例にする。図7は、図1のMEMSアレイを用いて組まれた回路におけるスイッチ41～44のオンオフの状態を示す図である。

すなわち、図7には、本発明によるMEMSアレイを用い、スイッチのオンオフを選択して所望の回路とした結果が示されている。状態(1)は回路動作中にスイッチングを行うことのない静的回路の例であり、状態(2)は回路動作中にスイッチングを行う場合がある動的回路の例である。

【0024】

スイッチの状態(1)では、スイッチ41がON、スイッチ42がOFF、スイッチ43がON、スイッチ44がONとなっている。この状態は回路動作中に変化しない。したがって、常にONとなるスイッチについては、ゲート電圧を印加してオン状態を維持する必要があり、電力消費を考えると不経済である。

【0025】

そこで、図8に示すように、基板Sにトランジスタスイッチを形成することなく、配線層M0をスイッチの状態のオンオフに対応する配線層M0'に代えるものである。すなわちスイッチ41、43及び44のスイッチONの場合には配線60を行って結線(ショート)し、スイッチ42のスイッチOFFの場合は配線しない(オープン)。このようにすると電力を節減できるとともに故障のほとんど起こらない製品とすることができます。

【0026】

MEMSデバイスの製造工程についてみても、専用マスクを1枚を追加すれば、MEMSアレイの製造工程を利用でき、さらにトランジスタ形成工程を省略でき、基板Sも低コストなものが使用できるので、低コストで量産品を製造できる

【0027】

スイッチの状態(2)は、スイッチ43が切換え可能なスイッチとして用いられる点を除き、状態(1)と同じである。本例は、状態(1)の場合とは異なり、スイッチをすべて配線のショート/オープンに代えることはできない。

【0028】

しかしながら、図9に示すように、配線層M0層の上に配線層M1aを追加し

て、スイッチ41、44のようにON状態を維持する場合はスイッチ41、44を短絡するように配線60を設け（ショート）、スイッチ42のようにOFFの場合は配線することなく回路を遮断し（オープン）、トランジスタのゲートに電圧をかけないようにし、スイッチング動作をするスイッチ43に対しては、従前の配線を維持するようにビアを設けて上下のコンタクトをとるようすればよい

【0029】

このようにすれば、常時オンのトランジスタについてはオン状態を維持するために電圧を印加する必要がなく、消費電力を節減することが可能で、また、製造工程においてもMEMSアレイの製造工程に配線層M1aを追加するだけですむ

【0030】

(第2の実施形態)

第1の実施形態では、隣接する各素子を接続するスイッチはトランジスタで構成されていたが、本例は、このスイッチを機械的なスイッチである静電スイッチで構成するものである。静電スイッチを動作させるためには駆動用トランジスタを必要とするが、機械的なスイッチはトランジスタスイッチに比較してオンオフに際して回路特性が変化しないので、MEMSアレイを用いて回路を組む際には有利である。

【0031】

図10に、本例のMEMSアレイの基板を省略した部分断面図を示す。第1の実施形態と同一機能を有する要素には同一の符号を付した。

【0032】

図10には、基板の上の配線層M0～M4及びパッシバーション層Pが示されている。なお、各層間には窒化Si等からなるCuキャップ層Cが設けられ、配線層の銅が絶縁膜中に拡散してデバイス不良を起こすことを防止している。最外層に片持ち式の可動部を有する静電スイッチ41'～43'が配置されている。スイッチ駆動部71～73は図示しない基板に設けられたトランジスタに配線ビア74～76を介して接続されている。静電スイッチ41'～43'はスイッチ

駆動部71～73に所定の電位を与えると、対応する可動片が吸引されてその接点を閉じるものである。図示していないが、スイッチの保護、ゴミの侵入防止のためにカバーを付けることもある。

【0033】

また、第1の実施形態と同様に、抵抗10、コンデンサ20及びコイル30の各素子が形成され、抵抗10、スイッチ41'、コンデンサ20、スイッチ42'、コイル30、スイッチ43'が直列に接続可能であり、図10の断面図に示されていない他の隣接する素子に対してもスイッチを介して接続可能に構成され、各素子は任意に結線可能となっている。

【0034】

以下、図11～20を参照して、その製造工程の概要を説明する。なお、例えばCuキャップ層の形成など説明を省略した工程もある。

まず、図11には、配線層M1の形成までの工程(a)～(d)を示す。

工程(a)では、図示しない基板に静電スイッチ駆動のためのトランジスタを形成した後、配線のためのピア74～76を設けて配線層M0とする。

【0035】

工程(b)で絶縁膜を成膜し、工程(c)でコンデンサ20の下部電極22及びピアを形成するために絶縁膜をエッチングし、工程(d)でコンデンサ下部電極の形成及びピア配線を行い、配線層M1を形成する。

【0036】

図12には、配線層M2のピアの形成までの工程(e)～(g)が示されている、工程(e)で絶縁膜を成膜し、工程(f)でピアの形成のために絶縁膜のエッチングを行い、工程(g)で配線層M2のピア74～76を形成する。

【0037】

図13に示した工程(h)では、配線層M2のコンデンサ上部電極とコイルの形成前のエッチングが示されている。これを先の工程でピア74～76と同時に形成しなかったのは、Cuキャップ層をコンデンサの誘電体として利用するために残す必要があったからである。次いで、工程(i)で、コンデンサ上部電極21とコイル30が形成される。

【0038】

図13に示した工程(j)、図14に示した工程(k)、(l)で、配線層M3のピア配線が形成される。配線層M3では、スイッチ駆動用配線74～76とともに、コンデンサ20への配線23、24及びコイル30への配線31、32が形成される。

【0039】

図14に示した工程(m)、図15に示した工程(n)、(o)で、配線層M4が形成される。すなわち工程(m)で絶縁膜を成膜し、工程(n)で抵抗10(図10)、コンデンサ20及びコイル30の入出力部とスイッチ駆動用電極の形成部分をエッティングし、工程(o)で、抵抗10(図10)の入出力部11、12、コンデンサ20の入出力部25、26及びコイル30の入出力部33、34とスイッチ駆動用電極71～73等を形成する。

【0040】

図16、17に抵抗10の形成工程を示す。まず工程(p)で、Cuキャップ層Cを成膜する。工程(q)では、Cuキャップ層Cをエッティングして抵抗用薄膜形成部分を作成する。工程(r)では、抵抗用薄膜Rを全面に成膜し、工程(s)で抵抗として用いる部分だけを残してエッティングし、抵抗10を形成する。

【0041】

図18～20には、保護のためのパッシベーション膜Pの成膜から、スイッチを形成する工程を示す。

図18の工程(t)では、上面全面に保護のためのパッシベーション膜Pを成膜する。工程(u)では、スイッチ41'～43'上部を設けるためのエッティングを行い、図19の工程(v)で、スイッチ41'～43'の導通部を設けるためにエッティングを行う。次いで工程(w)でスイッチを作成し、図20の工程(x)で、スイッチ41'～43'上部をリリースし、工程(y)でスイッチ41'～43'下部をリリースすることにより完成する。

【0.042】

このようにして、抵抗10、コンデンサ20、コイル30がスイッチ41'～43'を介して直列に結線可能となる。このRC直列回路が平面(2次元)的

に多数形成される点では、第1実施形態と同様で、スイッチのオンオフを選択して、所望の回路を構成できるものである。

【0043】

本例は、静電スイッチを駆動するためのトランジスタスイッチを必要とするから、第1実施形態と比較すると静電スイッチを設ける工程が増加するが、静電スイッチを用いることの回路特性の安定化の利点に加えて、静的回路又は動的回路のMEMSデバイスを製造する上で次の利点がある。

【0044】

すなわち、本例のMEMSアレイを用いて実際の回路を組み、スイッチが常にオンないしオフとなる静的回路で構成されるMEMSデバイスを製造する場合、スイッチが最上層に形成されているために、製造の最終工程であるスイッチ形成工程に代えて、配線層を形成する工程を採用すれば済む。この点では第1の実施形態よりも製造容易である。スイッチ駆動用トランジスタ、スイッチ駆動用電極を省略し、上記配線層を形成する前の状態でストックしておけば低コスト、短納期も実現できる。

【0045】

また、一部のスイッチを残す動的回路をMEMSデバイスとして製造する場合にも、必要なスイッチはそのまま残し、常にオン又はオフとなるスイッチ部分については、例えば、図19(v)に示したスイッチ導通部エッチングの際パッジーション膜のエッチング個所を選択することにより、短絡ないし遮断の回路を形成することができ、やはり第1の実施例に比べて容易である。スイッチ形成前まではMEMSアレイと全く同じ構造であるため、MEMSデバイス専用の在庫を持つ必要が無く、低コスト化が可能となる。

【0046】

なお、本例の場合、スイッチとして、片持ち式の可動電極を備え、静電気力により吸着してオンになる静電スイッチを用いたが、図21に示す静電スイッチ90を用いることもできる。これは、駆動電極91に電圧を印加することにより可動電極92が静電気力により吸着して短絡され、オフとなるものである。また、これ以外にも適宜のスイッチを採用することができる。

【0047】

また、静電スイッチは配線層の上部に配置したが、配線層に設けてもよい。

さらに、第1及び第2の実施形態のいずれにおいても、複数の素子の配置は3次元に配置してもよいし、ランダムに配置してもよい。

【0048】

本発明のMEMSアレイの基板には、他の信号処理用の半導体回路を作成配置したものであってもよいし、また半導体基板に配置される半導体回路を3次元構造としてもよい。さらにMEMSデバイスが収容される同一パッケージにマイクロプロセッサ、フラッシュメモリ、EEPROM等の信号処理に好適な半導体回路ないし装置を収容して製品としてもよい。このような他の半導体回路ないし装置を附加することにより、さらに回路構成の自由度が高められ、所望の高性能MEMS素子を得ることができる。

【0049】

【発明の効果】

以上のとおり、本発明の任意結線可能なMEMSアレイはプログラマブルで汎用性があるので、専用マスクや専用のプロセスが不要となり、配線状態を指定するだけで、所望のMEMSデバイスが低成本で開発できる。再試作もスイッチのオンオフを再設定するだけで可能である。また、スイッチのオンオフ固定部を配線のショート／オープンで代替して製造できるので、セミカスタム品での短納期・低消費電力化を可能とする。量産品としても、低消費電力で故障の少ない製品を得ることができる。また、MEMSアレイで事前テストを行っておけば、ほとんど同一の回路であるため、MEMSデバイス製造後のテストでスペックアウトすることはほとんどなく、デバイスの検証期間が短縮できる。

【図面の簡単な説明】

【図1】

MEMSアレイの第1実施形態の断面を示す断面図である。

【図2】

MEMSアレイの第1実施形態の外観を示す図である。

【図3】

MEMSアレイの第1実施形態の等価回路を示す図である。

【図4】

図2のA-A断面図であり、MEMSアレイの第1実施形態のスイッチのソースドレインの配置を示す平面図である。

【図5】

図2のB-B断面図であり、MEMSアレイの第1実施形態のM1層の配線を示す平面図である。

【図6】

図2のC-C断面図であり、MEMSアレイの第1実施形態のM3層の配線を示す平面図である。

【図7】

MEMSアレイの第1実施形態のスイッチのオンオフ例を示す図である。

【図8】

MEMSアレイを用いて製造された静的回路であるMEMSデバイスを示す例である。

【図9】

MEMSアレイを用いて製造された動的回路であるMEMSデバイスを示す例である。

【図10】

MEMSアレイの第2実施形態を示す図である。

【図11】

MEMSアレイの第2実施形態の製造工程(a)～(d)を示す図である。

【図12】

MEMSアレイの第2実施形態の製造工程(e)～(g)を示す図である。

【図13】

MEMSアレイの第2実施形態の製造工程(h)～(j)を示す図である。

【図14】

MEMSアレイの第2実施形態の製造工程(k)～(m)を示す図である。

【図15】

MEMSアレイの第2実施形態の製造工程（n），（o）を示す図である。

【図16】

MEMSアレイの第2実施形態の製造工程（p），（q）を示す図である。

【図17】

MEMSアレイの第2実施形態の製造工程（r），（s）を示す図である。

【図18】

MEMSアレイの第2実施形態の製造工程（t），（u）を示す図である。

【図19】

MEMSアレイの第2実施形態の製造工程（v），（w）を示す図である。

【図20】

MEMSアレイの第2実施形態の製造工程（x），（y）を示す図である。

【図21】

MEMSアレイの第2実施形態に用いられる静電スイッチの他の例を示す図である。

【符号の説明】

10…抵抗

20…コンデンサ

30…コイル

41～43…トランジスタスイッチ

41'～43'…静電スイッチ

60…配線

71～73…静電スイッチ駆動電極

S…基板

M0～M4…配線層

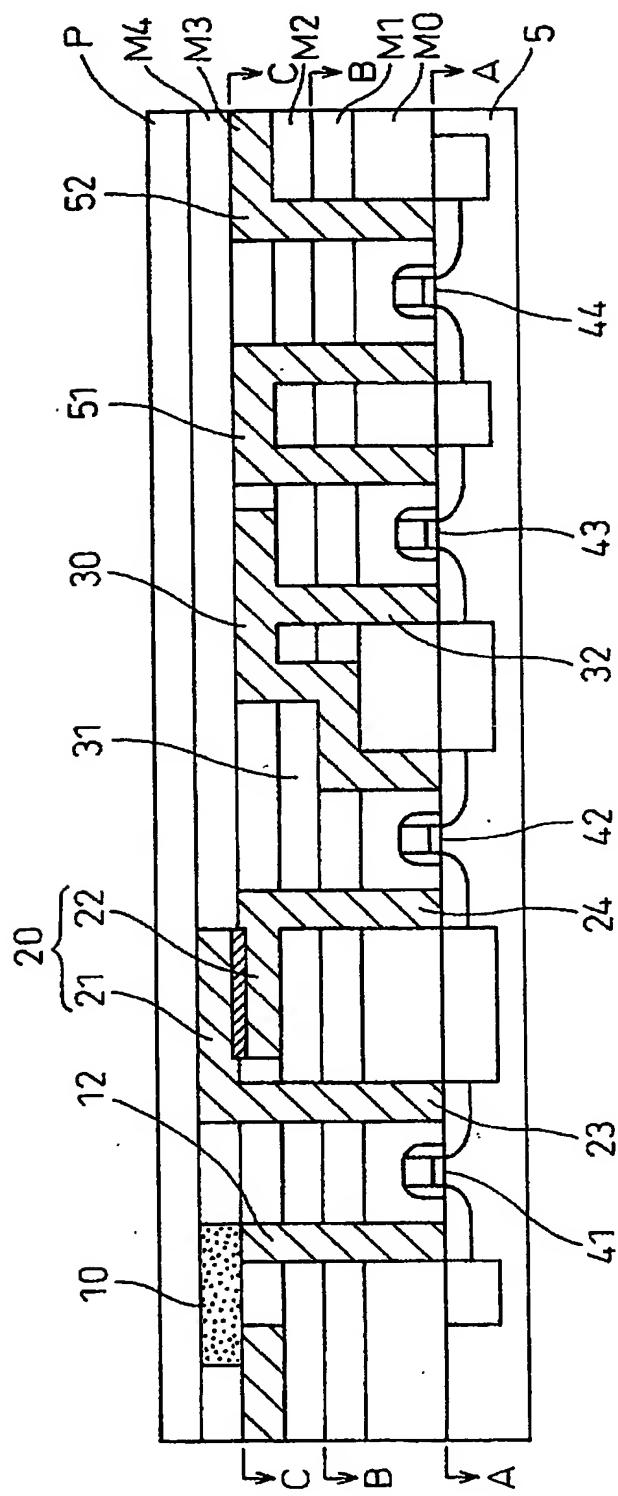
【書類名】

図面

【図1】

図1

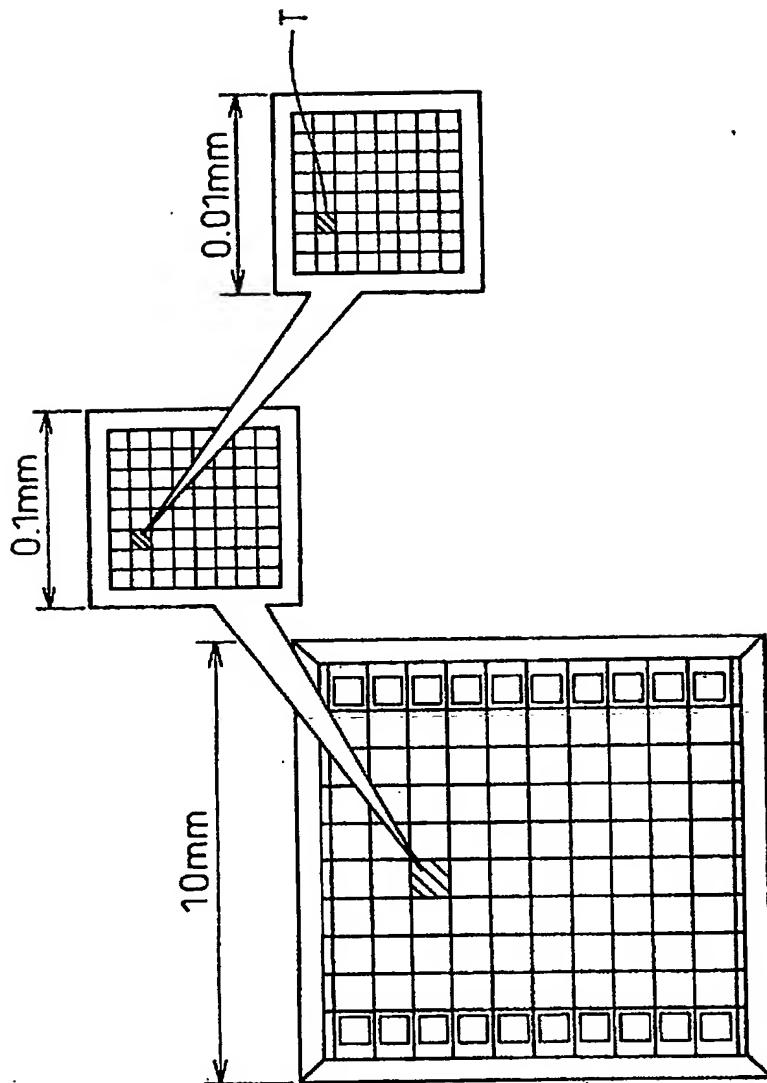
MEMSアレイの第1実施形態の部分断面図



【図2】

図2

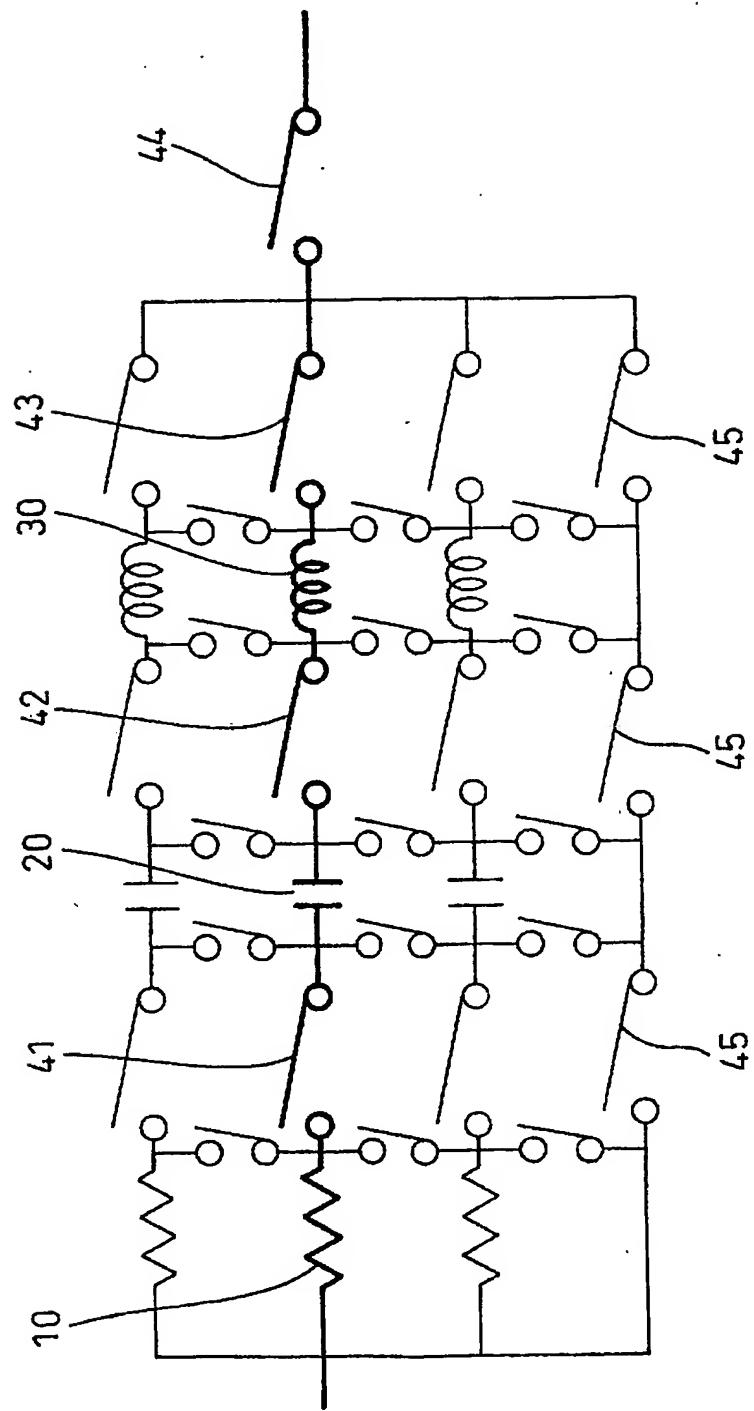
MEMSアレイの第1実施形態の概観図



【図3】

図3

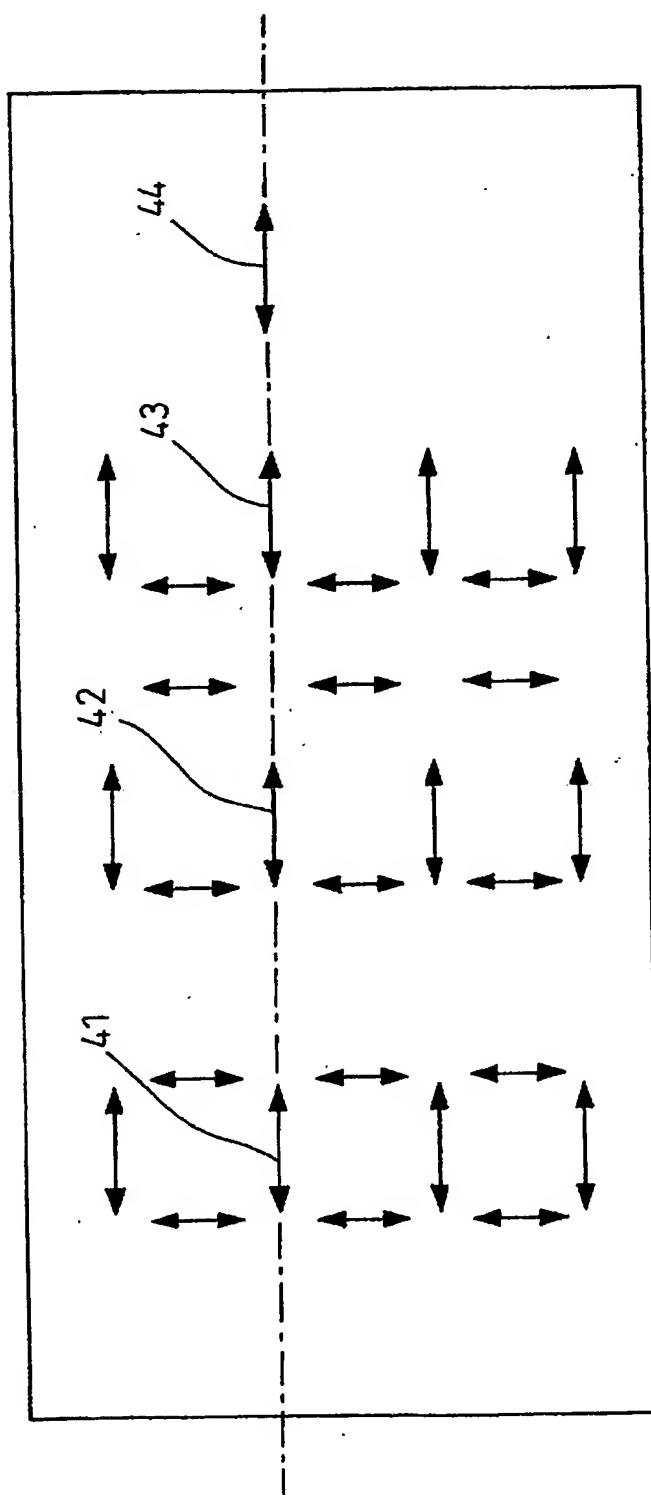
MEMSアレイの第1実施形態の等価回路



【図4】

図4

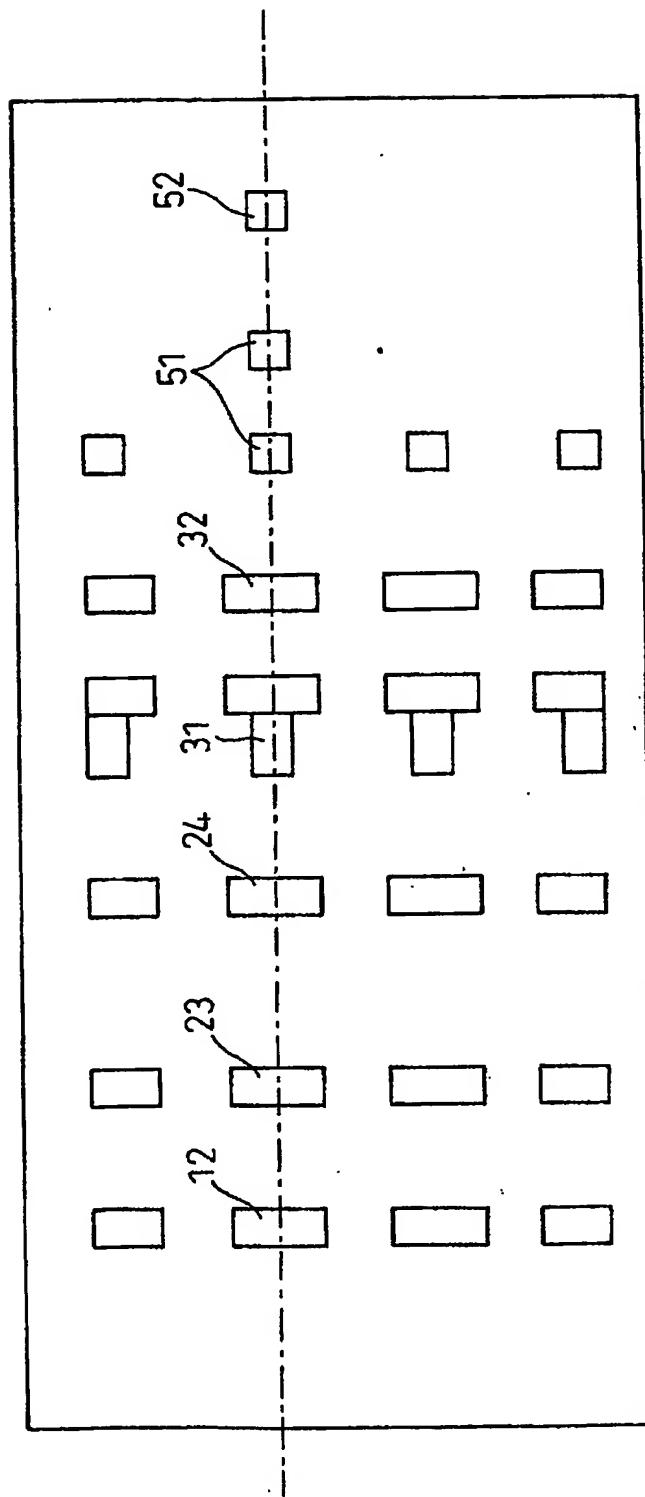
図1のA-A平面図



【図5】

図5

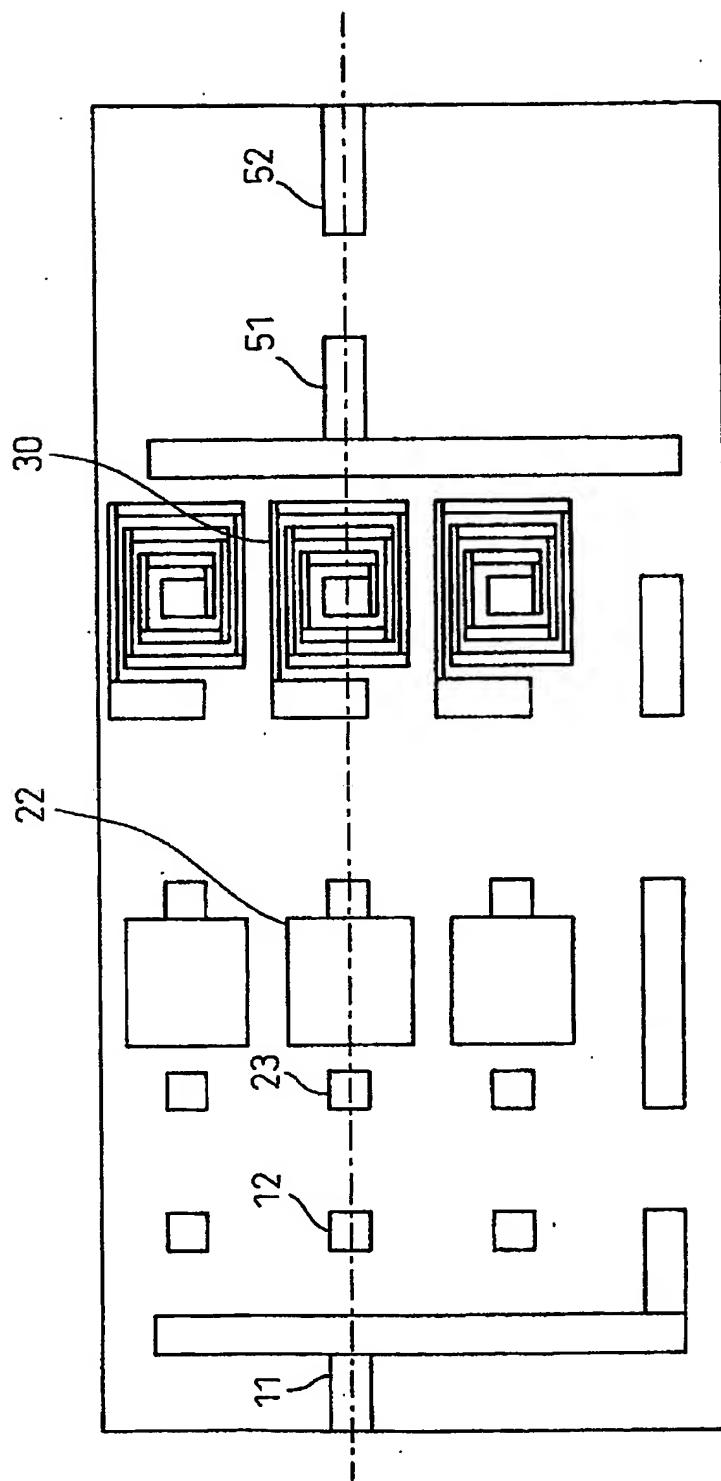
図1のB-B平面図



【図6】

図6

図1のC-C平面図



【図7】

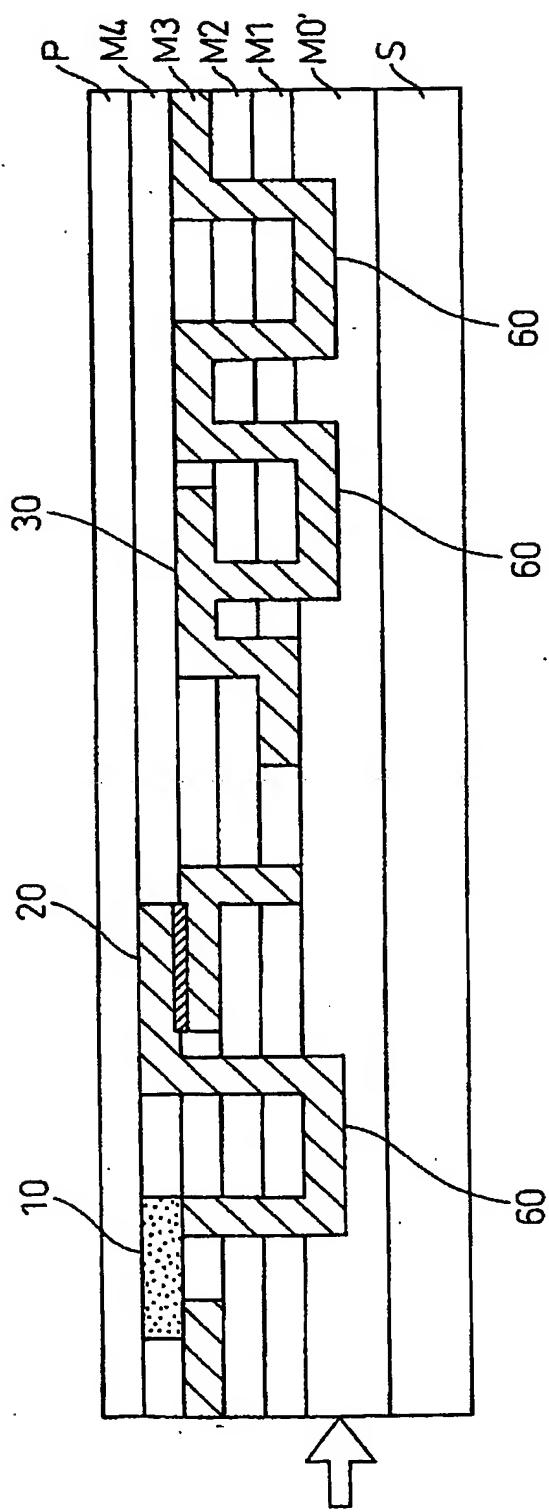
図7

	スイッチ41	スイッチ42	スイッチ43	スイッチ44
状態 (1)	ON	OFF	ON	ON
状態 (2)	ON	OFF	SWITCH	ON

【図8】

図8

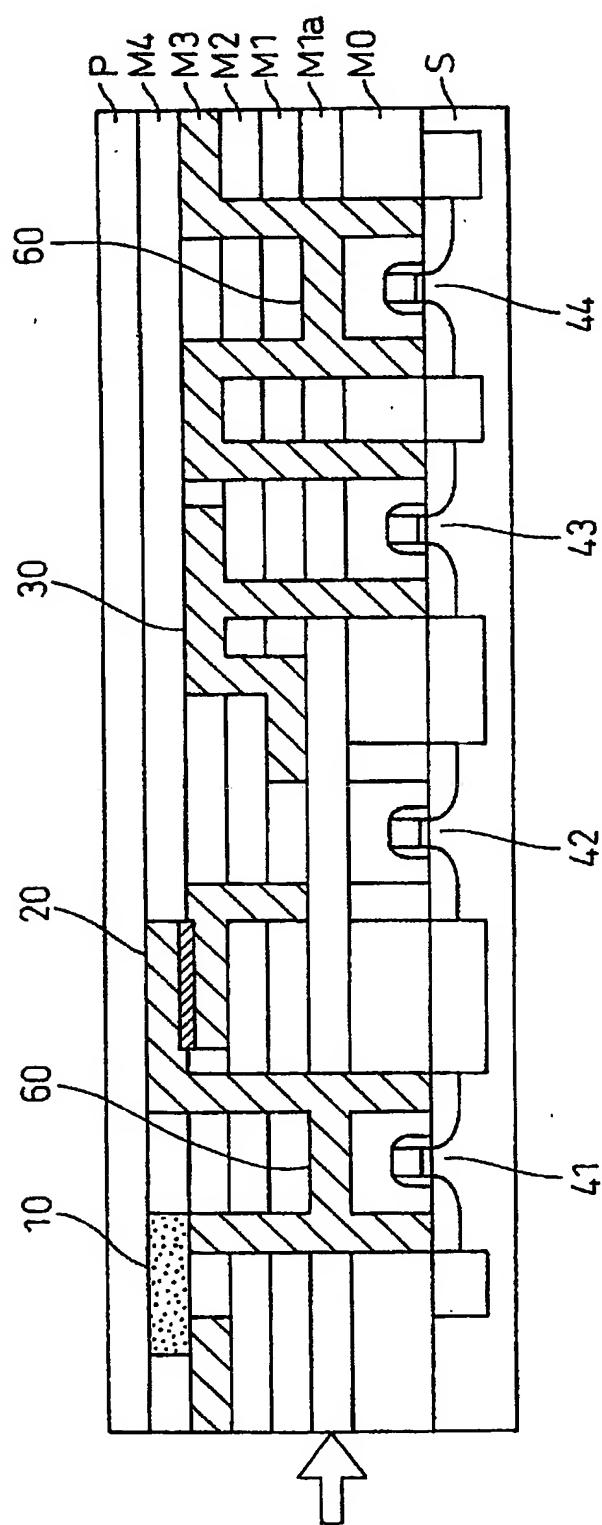
MEMSデバイス例（静的回路）



【図9】

図9

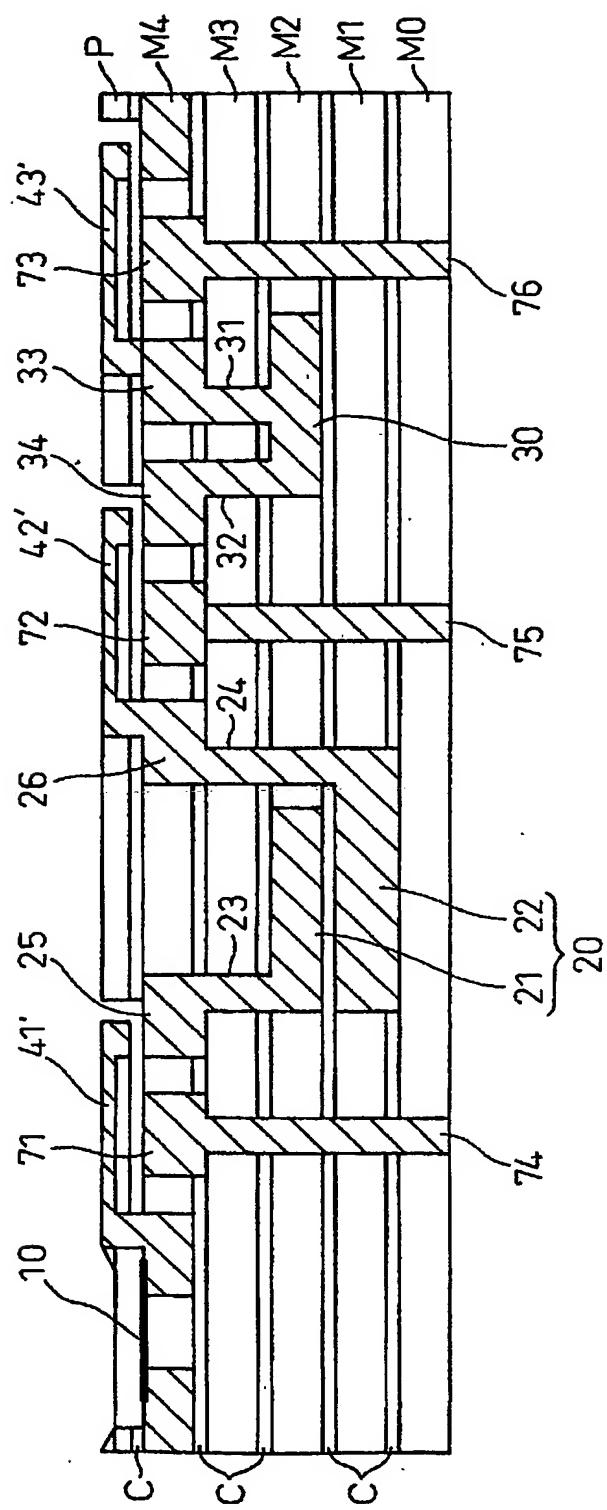
MEMSデバイス例（動的回路）



【図10】

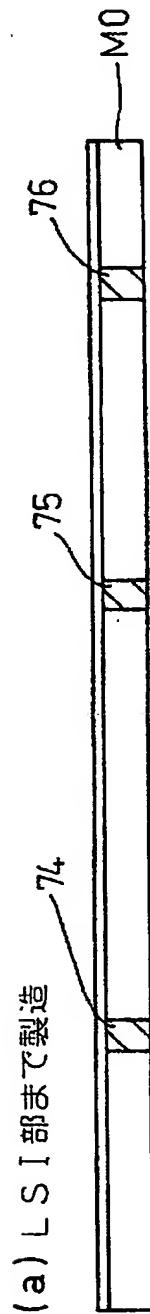
図10

MEMSアレイの第2実施形態



【図11】

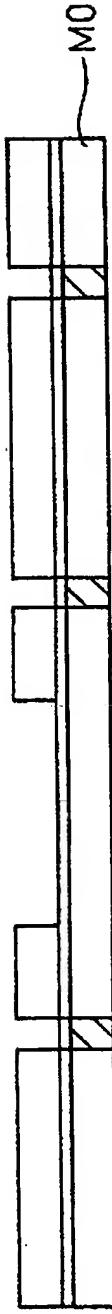
図11



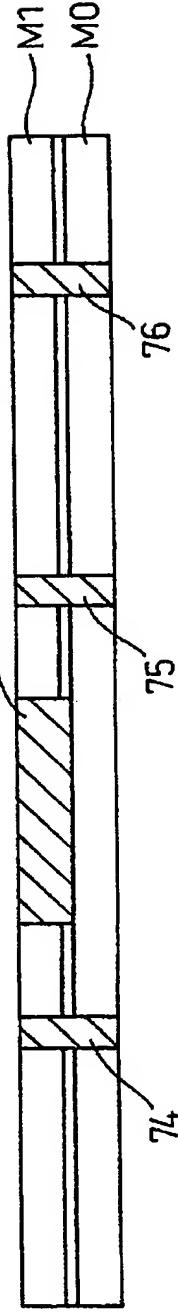
(b) 絶縁膜成膜



(c) コンデンサ下部電極及びビアの形成前の段階

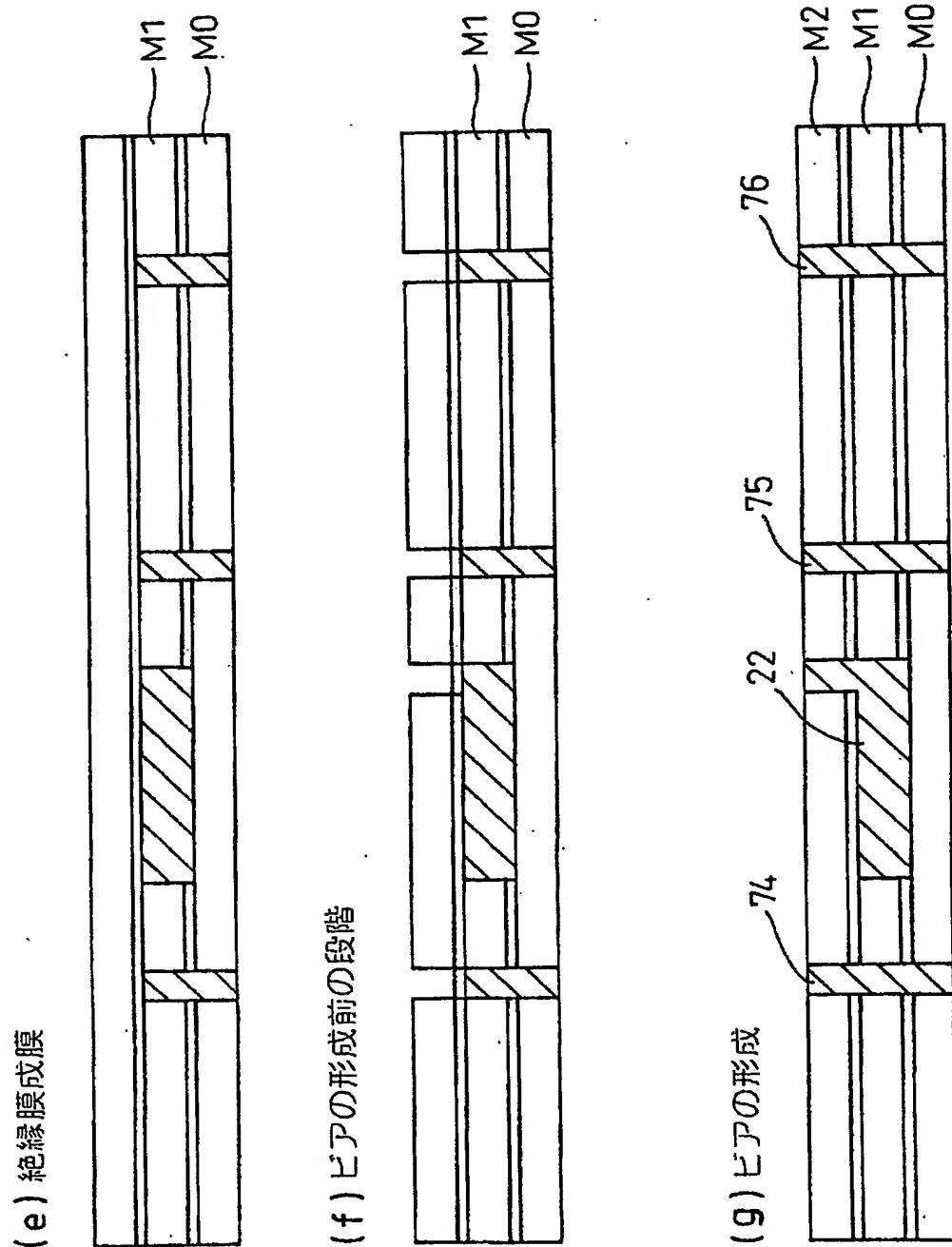


(d) コンデンサ下部電極及びビアの形成



【図12】

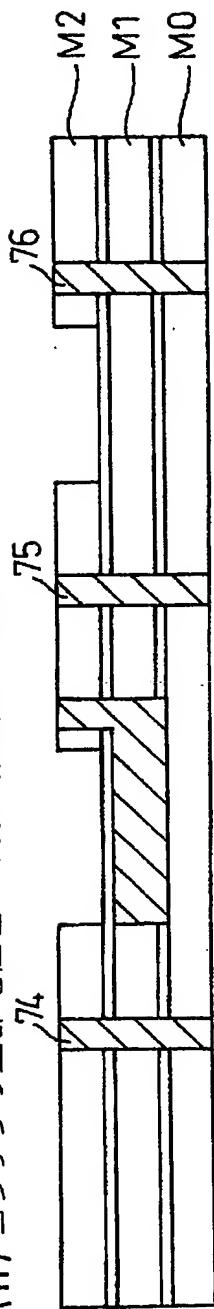
図12



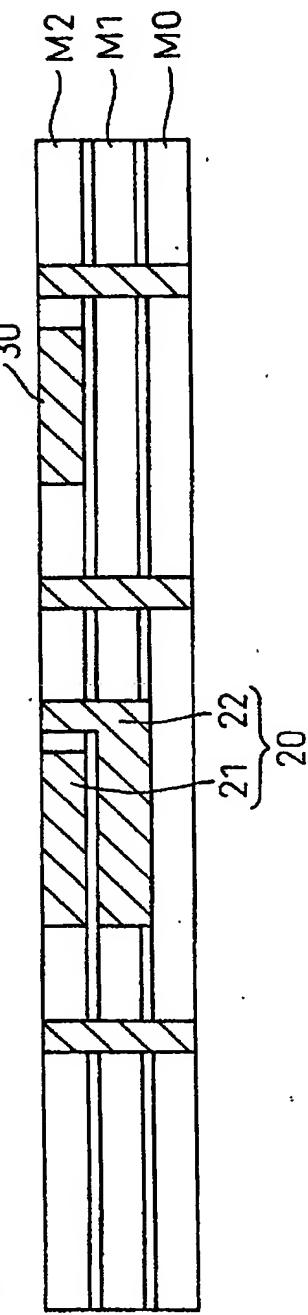
【図13】

図13

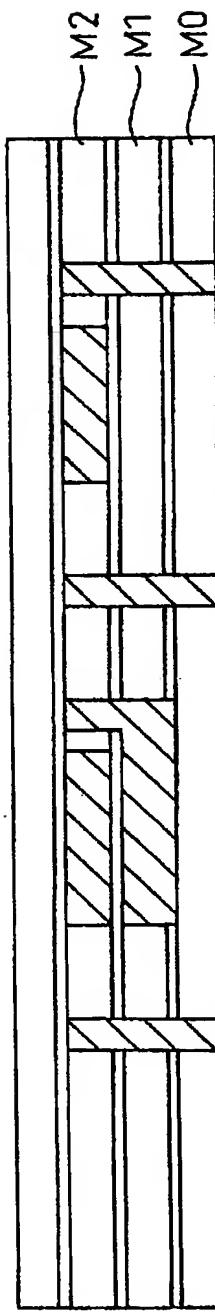
(h) コンデンサ上部電極とコイルの形成前の段階



(i) コンデンサ上部電極とコイルの形成



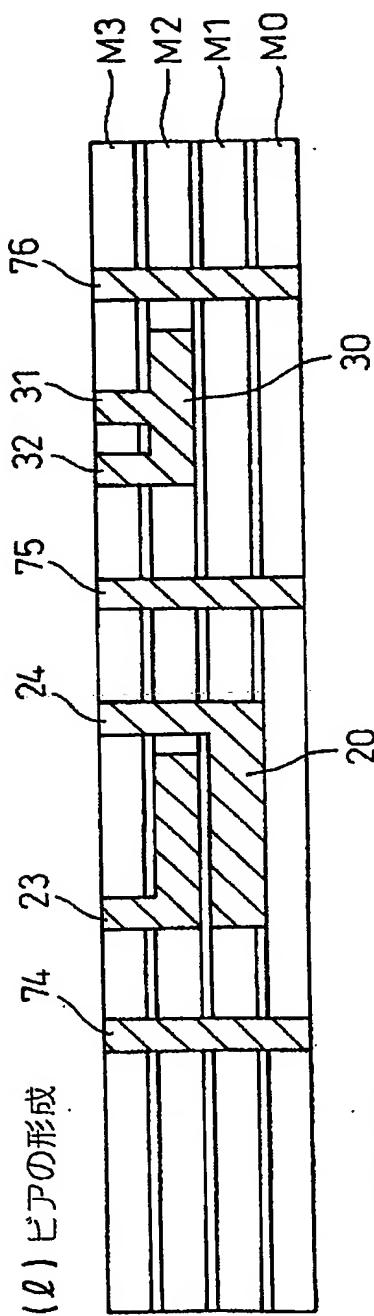
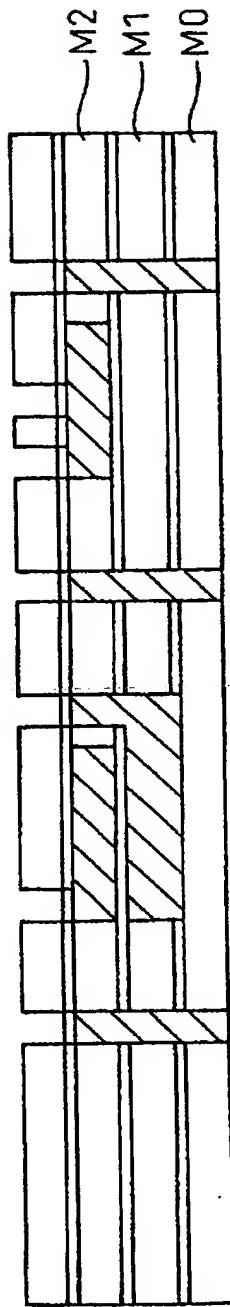
(j) 絶縁膜成膜



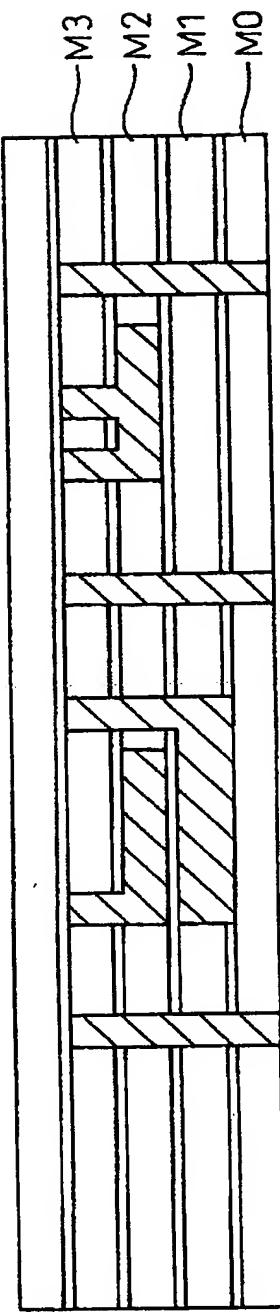
【図14】

図14

(k) ビアの形成前の段階



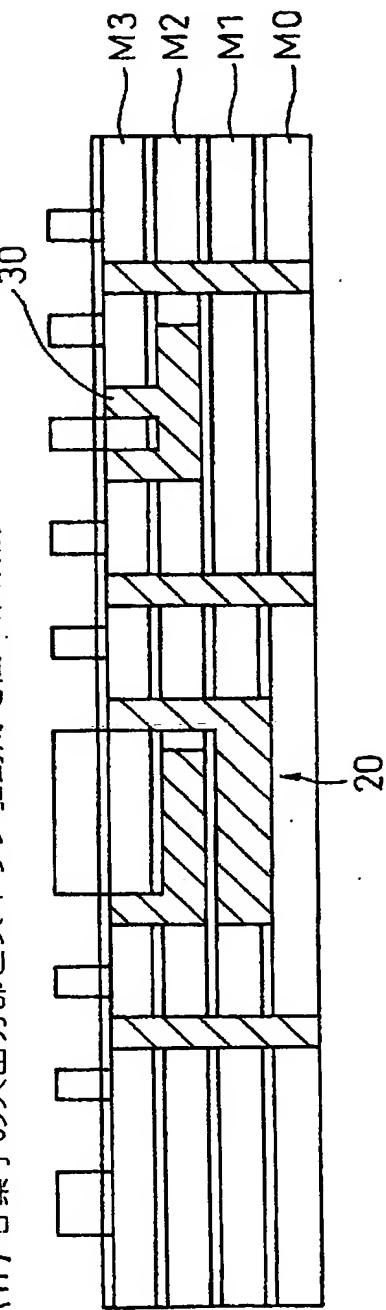
(m) 絶縁膜成膜



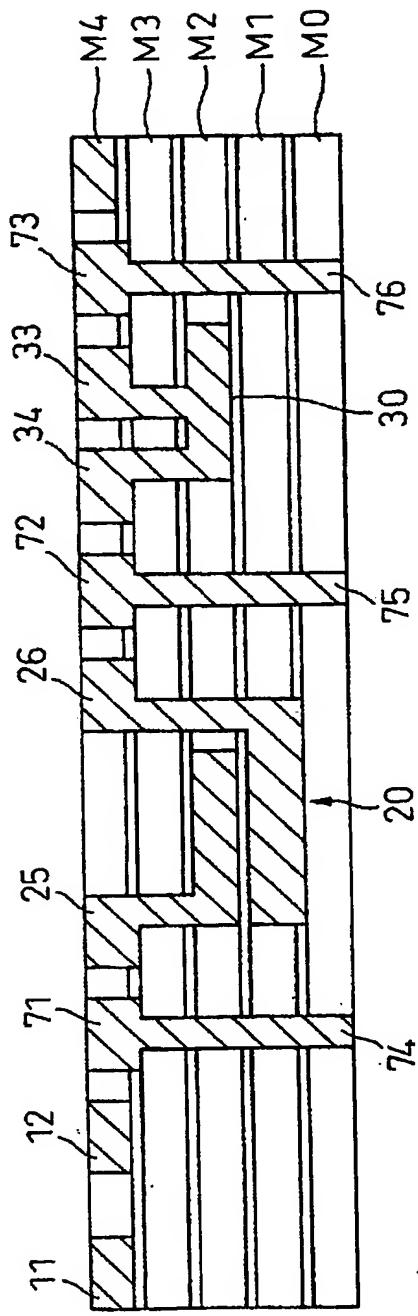
【図15】

図15

(n) 各素子の入出力部とスイッチ駆動用電極の形成前



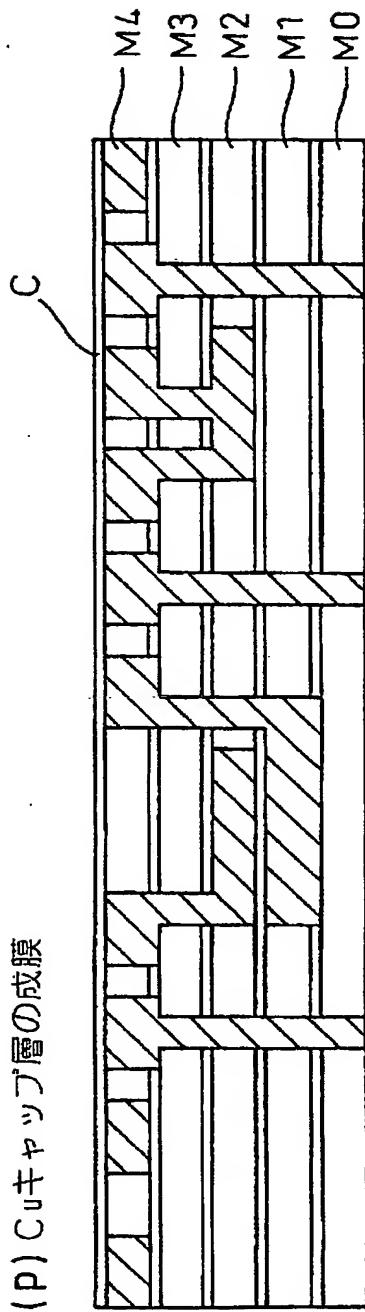
(o) 各素子の入出力部とスイッチ駆動用電極の形成



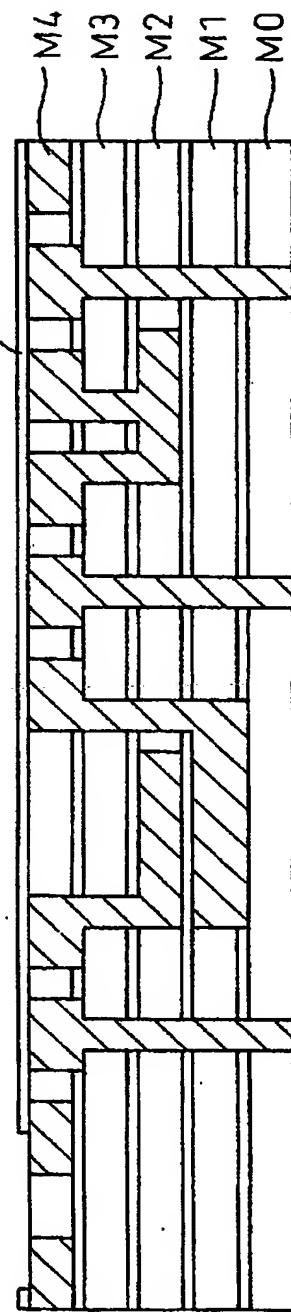
【図16】

図16

(P) Cuチャップ層の成膜



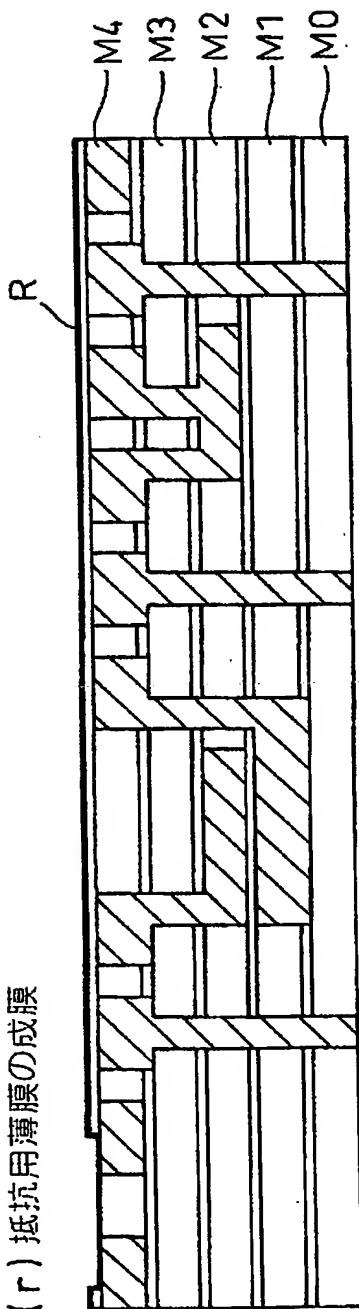
(q) 抵抗用薄膜の成膜前



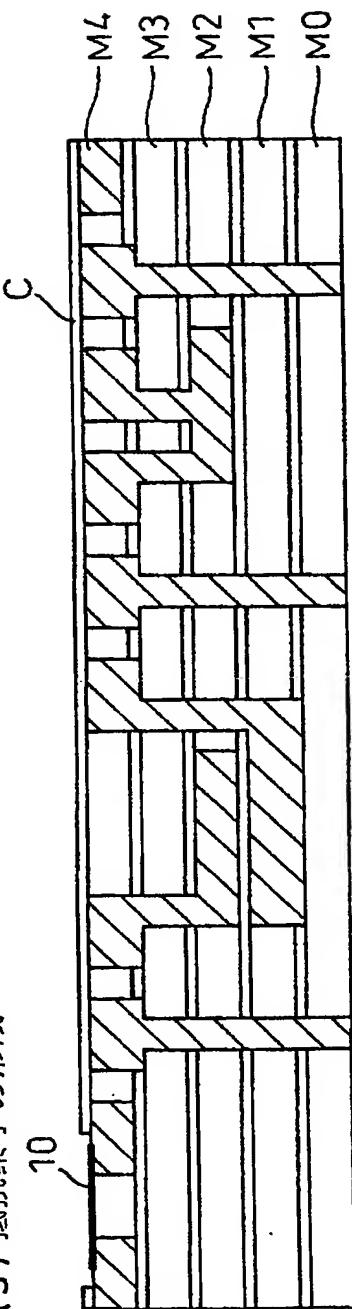
【図17】

図17

(r) 抵抗用薄膜の成膜



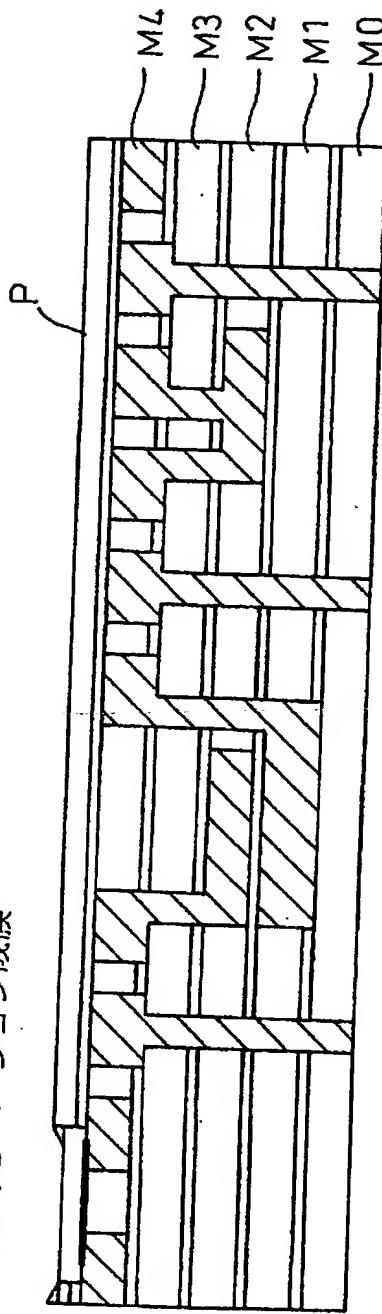
(s) 抵抗素子の形成



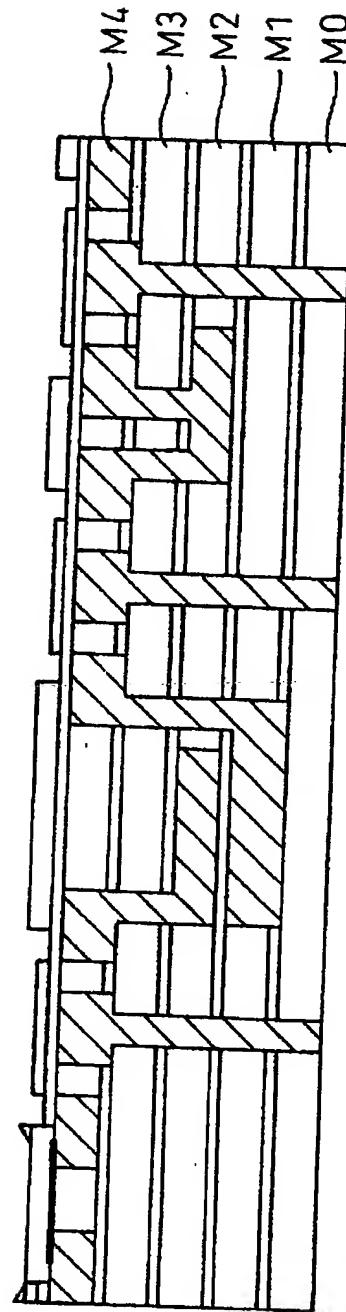
【図18】

図18

(t) パッセンジャー成膜



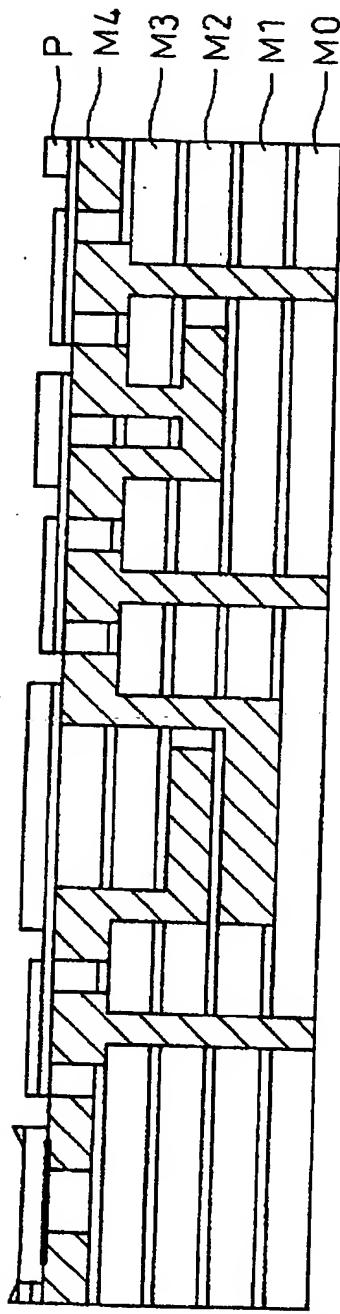
(u) スイッチ上部用エッチング



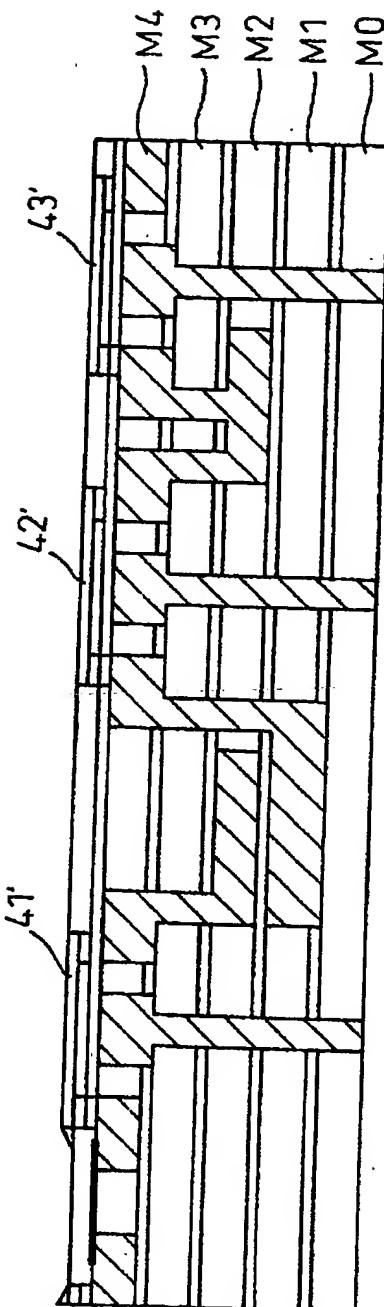
【図19】

図19

(v) スイッチ導通部エッチング

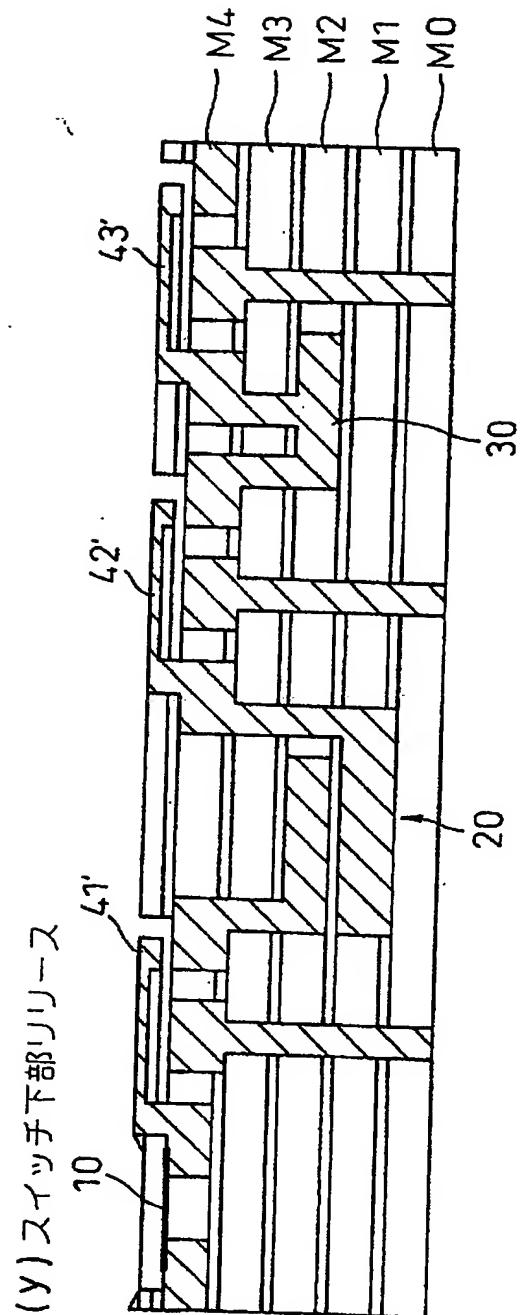
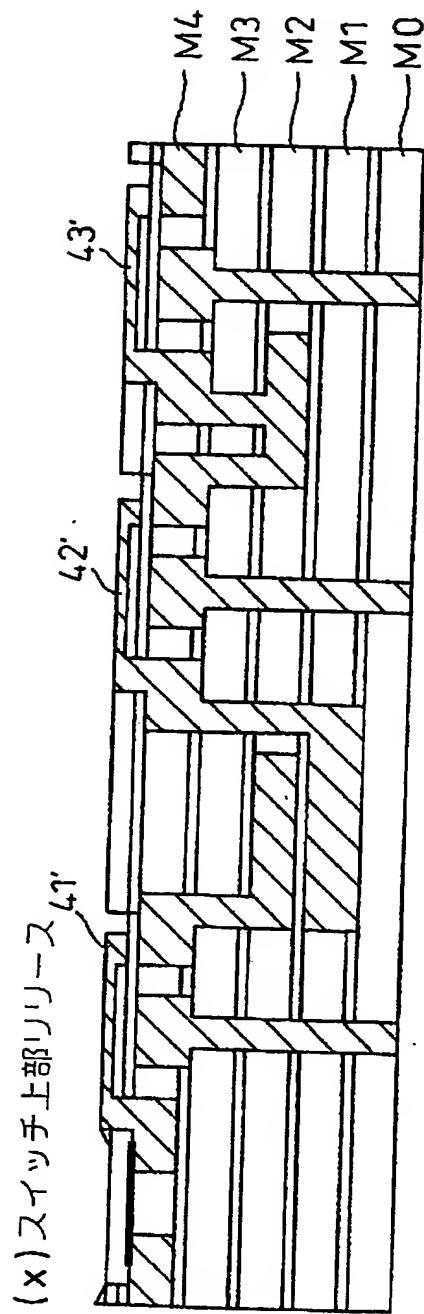


(w) スイッチ作成



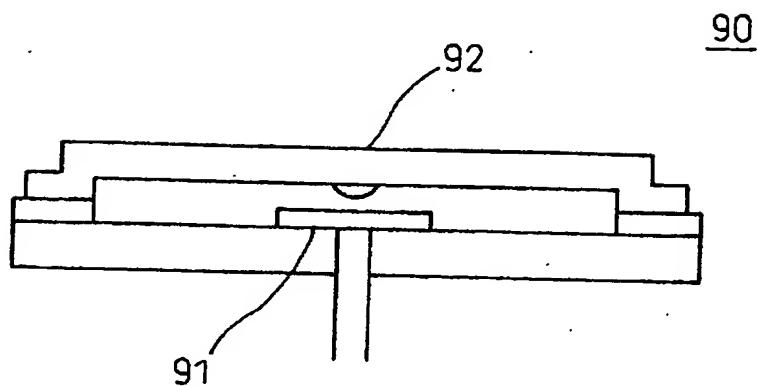
【図20】

図20



【図21】

図21 静電スイッチの他の例



【書類名】 要約書

【要約】

【課題】 小型化が可能であるとともに、開発時間や開発費を削減できるMEMSアレイを提供すること。

【解決手段】 例えば抵抗10、コンデンサ20、コイル30の複数の素子及び各素子を接続するスイッチ41～44を基板1上に集積して、各素子を任意に結線可能としてMEMSアレイを形成する。トランジスタスイッチ41～44に代えて機械的なスイッチを用いることもできる。そして、このMEMSアレイのスイッチ41～44のオンオフの固定部を配線のショート／オープンで代替してMEMSデバイスを製造する。

【選択図】 図1

出願人履歴情報

識別番号 [000219967]

1. 変更年月日 1994年 9月 5日

[変更理由] 住所変更

住 所 東京都港区赤坂5丁目3番6号

氏 名 東京エレクトロン株式会社

2. 変更年月日 2003年 4月 2日

[変更理由] 住所変更

住 所 東京都港区赤坂五丁目3番6号

氏 名 東京エレクトロン株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.